

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)

(11) Publication number:

06310536 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 06019496

(51) Intl. Cl.: H01L 21/338 H01L 29/812

(22) Application date: 16.02.94

(30) Priority: 22.02.9326.02.93 JPJP 05  
3217205 38294(43) Date of application  
publication: 04.11.94(84) Designated  
contracting states:

(71) Applicant: SUMITOMO ELECTRIC IND LTD

(72) Inventor: MATSUZAKI KENICHIRO  
YOSHIDA KENICHI  
SHIGA NOBUO  
NAKAJIMA SHIGERU  
KUWATA NOBUCHIKA  
OTOBE KENJI

(74) Representative:

(54) FIELD-EFFECT  
TRANSISTOR AND ITS  
MANUFACTURE

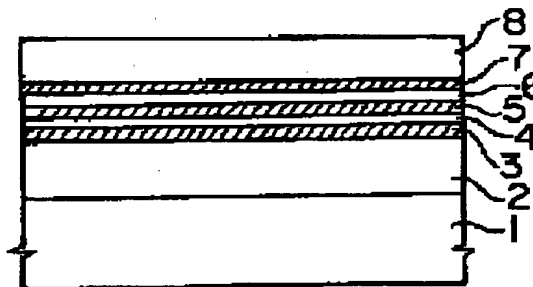
(57) Abstract:

PURPOSE: To provide a high-speed FET whose output current is satisfactorily large and a FET whose channel electron mobility is high and saturation electron velocity is high.

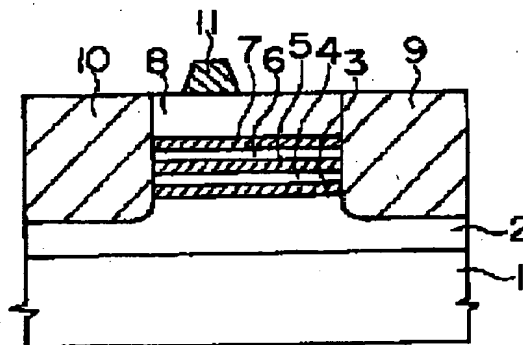
CONSTITUTION: A buffer layer 2, a first channel layer 3, a first spacer layer 4, a second channel layer 5, a second spacer layer 6, a third channel layer 7 and a cap layer 8 are formed by crystallization on a semi-insulating GaAs semiconductor substrate 1 one by one. A drain region 9 and a source region 10 are formed thereafter, and a gate electrode 11 is formed in Schottky contact with the cap layer 8. A drain electrode 12 and a source electrode 13 are formed in ohmic contact with the drain region 9 and the source region 10.

COPYRIGHT: (C)1994,JPO

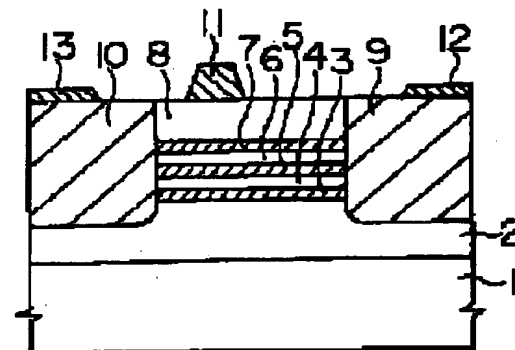
(a)



(b)



(c)



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-310536

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.<sup>5</sup>H 0 1 L 21/338  
29/812

識別記号

庁内整理番号

FI

技術表示箇所

7376-4M

H 0 1 L 29/ 80

B

審査請求 未請求 請求項の数7 OL (全 9 頁)

(21)出願番号 特願平6-19496

(22)出願日 平成6年(1994)2月16日

(31)優先権主張番号 特願平5-32172

(32)優先日 平5(1993)2月22日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平5-38294

(32)優先日 平5(1993)2月26日

(33)優先権主張国 日本(JP)

(71)出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72)発明者 松崎 賢一郎

神奈川県横浜市栄区田谷町1番地 住友電  
気工業株式会社横浜製作所内

(72)発明者 吉田 健一

神奈川県横浜市栄区田谷町1番地 住友電  
気工業株式会社横浜製作所内

(72)発明者 志賀 信夫

神奈川県横浜市栄区田谷町1番地 住友電  
気工業株式会社横浜製作所内

(74)代理人 弁理士 長谷川 芳樹 (外4名)

最終頁に続く

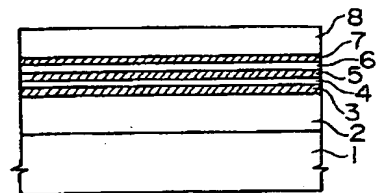
(54)【発明の名称】 電界効果トランジスタおよびその製造方法

(57)【要約】

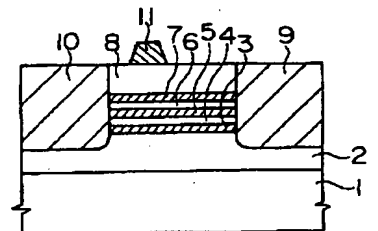
【目的】 出力電流が十分に高くて高速なFET、並びにチャネル電子の移動度が高く飽和電子速度の高いFETを提供する。

【構成】 半絶縁性GaAs半導体基板1上に、バッファ層2、第1のチャネル層3、第1のスペーサ層4、第2のチャネル層5、第2のスペーサ層6、第3のチャネル層7およびキャップ層8が順次結晶成長される。次に、ドレイン領域9およびソース領域10が形成され、キャップ層8にショットキ接触してゲート電極11が形成される。ドレイン領域9およびソース領域10にオーミック接触してドレイン電極12およびソース電極13が形成される。

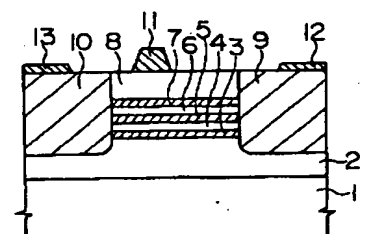
(a)



(b)



(c)



## 【特許請求の範囲】

【請求項1】 不純物を高濃度を含んで薄層化された半導体層をチャネル層とする電界効果トランジスタにおいて、前記チャネル層はアンドープ層を挟んで前記半導体層が3層以上形成されていることを特徴とする電界効果トランジスタ。

【請求項2】 不純物を高濃度を含んで薄層化された半導体層をチャネル層とする電界効果トランジスタにおいて、前記チャネル層はアンドープ層を挟んで前記半導体層が複数形成され、これら半導体層のうち最も基板表面側に位置する半導体層の上部にアンドープ層を挟んでドーピング層が形成され、このドーピング層の不純物濃度および厚さは、表面空乏層が前記チャネル層にまで広がらない所定の不純物濃度および所定の厚さに形成されていることを特徴とする電界効果トランジスタ。

【請求項3】 不純物を高濃度を含んで薄層化された半導体層をチャネル層とする電界効果トランジスタにおいて、前記チャネル層を構成する前記半導体層は複数形成され、これら各半導体層間にはこれら各半導体層の不純物濃度に比較して低濃度に不純物を含む中間濃度層が形成されていることを特徴とする電界効果トランジスタ。

【請求項4】 前記中間濃度層は、前記チャネル層を構成する前記各半導体層の不純物が熱処理によってアンドープ層に拡散して形成されていることを特徴とする請求項3記載の電界効果トランジスタ。

【請求項5】 前記中間濃度層は、不純物濃度が制御された結晶成長によって形成されていることを特徴とする請求項3記載の電界効果トランジスタ。

【請求項6】 アンドープ層を形成する工程と、不純物を高濃度を含んで薄層化された半導体層を前記アンドープ上に形成する工程と、前記アンドープ層を形成する前記工程および前記半導体層を形成する前記工程を繰り返して前記半導体層を複数設け前記チャネル層を形成する工程と、これら工程の後に熱処理を行って前記各半導体層に含まれる不純物を前記各アンドープ層に拡散させて前記中間濃度層を形成する工程とを備え、請求項4記載の電界効果トランジスタを製造することを特徴とする電界効果トランジスタの製造方法。

【請求項7】 不純物を高濃度を含んで薄層化された半導体層を形成する工程と、不純物濃度が制御された結晶成長によって前記半導体層の不純物濃度に比較して低濃度に不純物を含む中間濃度層を形成する工程と、前記半導体層を形成する前記工程および前記中間濃度層を形成する前記工程を繰り返して前記半導体層を複数設け前記チャネル層を形成する工程とを備え、請求項5記載の電界効果トランジスタを製造することを特徴とする電界効果トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、超高速動作をする電界効果トランジスタ(FET)の構造およびその製造方法に関するものである。

## 【0002】

【従来の技術】 従来、超高速動作を実現するFETとして、電流チャネルが形成される活性層をいわゆるパルスドープ構造にしたものがある。このパルスドープ構造のFETにおいては、活性層の不純物プロファイルは基板表面から所定の深さまではアンドープ状態になっている。しかし、基板表面から所定の深さに達すると不純物濃度はパルス状もしくはステップ状に変化して高濃度になり、さらに、深い基板位置では再びアンドープ状態に戻る。このようなパルスドープ構造FETとしては、例えば、米国特許4163984号公報や次の文献の759頁に示されている。

【0003】 1986 IEEE IEDM 「A 760mS/mm N+SELF-ALIGNED ENHANCEMENT MODE DOPED-CHANNEL MIS-LIKE FET (DMT)」しかし、このようなパルスドープ構造FETにおいては、電流チャネルを形成する電子量を十分に確保することができない。このため、本出願人による別途の特許出願(特開平4-245646号公報)において、活性層を2層設けたパルスドープ構造を持つFETが提案されている。このようなFETによれば、活性層が2層設けられているため、電流チャネルを形成する電子量は増加し、高出力化が図られる。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上記従来の活性層を2層設ける構造のFETにおいて、ドレイン電極側の表面空乏層に起因して長ゲート効果が発生すると、実効ゲート長が増大すると共にこの表面空乏層により、基板の表面側に設けられた活性層が空乏化してしまう。活性層が空乏化してしまうとチャネル電子の走行は妨げられ、電流チャネルを形成する電子の総量は減少した。この結果、上記従来の構造をしたFETにおいては高い電流出力が得られないことがあった。

【0005】 また、上記米国特許に示されるような従来のパルスドープ構造FETにおいては、チャネルを形成する電子は低電界領域において不純物濃度の高い活性層を走行する。このため、電子は不純物散乱の影響を大きく受け、低電界領域において電子移動度は低下した。この結果、素子の高周波動作特性は十分に向上されなかった。また、ゲート電圧の変化に対するドレイン電流の変化量を表す相互コンダクタンス $g_m$ は、一定のゲート電圧変化にわたって一定値を保持することができなかった。

## 【0006】

【課題を解決するための手段】 本発明はこのような課題を解消するためになされたもので、不純物を高濃度に含

んで薄層化された半導体層をチャネル層とするFETにおいて、上記チャネル層はアンドープ層を挟んで上記半導体層が3層以上形成されていることを特徴とするものである。

【0007】また、不純物を高濃度に含んで薄層化された半導体層をチャネル層とするFETにおいて、上記チャネル層はアンドープ層を挟んで上記半導体層が複数形成され、これら半導体層のうち最も基板表面側に位置する半導体層の上部にアンドープ層を挟んでドーピング層が形成され、このドーピング層の不純物濃度および厚さは、表面空乏層が上記チャネル層にまで広がらない所定の不純物濃度および所定の厚さに形成されていることを特徴とするものである。

【0008】また、不純物を高濃度に含んで薄層化された半導体層をチャネル層とするFETにおいて、上記チャネル層を構成する上記半導体層は複数形成され、これら各半導体層間にはこれら半導体層の不純物濃度に比較して低濃度に不純物を含む中間濃度層が形成されているものである。

【0009】また、上記中間濃度層は、各半導体層の不純物が熱処理によってアンドープ層に拡散して形成されているものであり、また、不純物濃度が制御された結晶成長によって形成されているものである。

【0010】

【作用】表面空乏層の基板表面から深部へ向けての伸びは、最も基板表面側に位置する半導体層によって遮られる。チャネル層を構成する半導体層はアンドープ層を挟んで3層以上形成されており、最も基板表面側に位置する半導体層より深い半導体基板には複数の半導体層が設けられている。このため、最も基板表面側に位置する半導体層が空乏化しても、電流チャネルを形成する電子量は十分に確保される。

【0011】また、最も基板表面側に位置するチャネル層の上部に所定の不純物濃度および厚さでドーピング層が形成されていると、表面空乏層の基板表面から深部へ向けての伸びは、チャネル層の上部に設けられたこのドーピング層によって遮られる。このドーピング層の下部にはチャネル層を構成する複数の半導体層が設けられているため、電流チャネルを形成する電子量は十分に確保される。

【0012】また、複数の半導体層間に中間濃度層が形成されたFETにおいては、この中間濃度層に低濃度に不純物が含まれているため、この中間濃度層に存在する不純物によってもチャネル電子が生成される。従って、電流チャネルを形成する電子は、低電界領域においても半導体層間の中間濃度層に分布し、半導体層よりも不純物濃度の低い中間濃度層を走行するようになる。

【0013】また、この中間濃度層が熱処理が加えられて形成される場合には、複数の各半導体層を最も外側で挟む各層にも不純物が低濃度に含まれ、チャネル電子は

この両最外層にも分布するようになる。従って、チャネル電子は中間濃度層以外にも不純物濃度の低いこの両最外層を走行するようになる。

【0014】

【実施例】図1は本発明の第1の実施例によるFETの製造方法を示す工程断面図である。以下にこの製造方法について説明する。

【0015】半絶縁性GaAs半導体基板1上に、MBE（分子線エピタキシ）法やOMVPE（有機金属気相エピタキシャル）法などの結晶成長技術を用いて以下に述べる各半導体層が順次堆積させられる。まず、GaAs半導体基板1上にアンドープのGaAsバッファ層2が結晶成長される。このバッファ層2は、OMVPE法で形成した場合、III族原料であるGaおよびV族原料であるAsの各供給比が制御されてバックグラウンド導電型がp<sup>-</sup>型のアンドープに設定される。その不純物濃度は $5 \times 10^{16} [\text{cm}^{-3}]$ 以下の低い不純物濃度に抑えられる。

【0016】次に、バッファ層2上にSiドーブGaAs層が結晶成長され、第1の半導体層としての第1のチャネル層3が形成される。この第1のチャネル層3はn型不純物であるSiイオンを $3 \times 10^{18} [\text{cm}^{-3}]$ 程度に高濃度に含み、厚さは80Åに薄層化される。引き続き、この第1のチャネル層3上にアンドープGaAsからなる第1のスペーサ層4が50Åの厚さに結晶成長される。この第1のスペーサ層4のバックグラウンド導電性はOMVPE法で形成した場合にはn<sup>-</sup>型になっており、その不純物濃度は $5 \times 10^{15} [\text{cm}^{-3}]$ 以下の低い不純物濃度に抑えられる。なお、この第1のスペーサ層4のバックグラウンド導電性は、MBE法で形成した場合にはp<sup>-</sup>型になる。

【0017】さらに、この第1のスペーサ層4上に、第2の半導体層としての第2のチャネル層5、第2のスペーサ層6、第3の半導体層としての第3のチャネル層7およびキャップ層8が順次結晶成長される（図1（a）参照）。これら第2、第3の各チャネル層5、7は、第1のチャネル層3と同じ不純物濃度のSiドーブGaAsを用いて形成され、第2のチャネル層5は70Åの厚さ、第3のチャネル層7は80Åの厚さに形成される。

また、第2のスペーサ層6は第1のスペーサ層4と同じアンドープGaAsで同じ厚さに形成される。また、キャップ層8は第1および第2の各スペーサ層4、6と同じアンドープGaAsによって形成されるが、その厚さ、つまり、基板表面から第3のチャネル層7までの深さは400Åに形成される。

【0018】次に、リソグラフィ技術を用いてソース・ドレイン領域パターンが基板表面に形成され、このパターンをマスクとして高濃度のSiイオンが選択的にイオン注入される。この選択イオン注入により、n<sup>+</sup>型のドレイン領域9およびソース領域10が形成される。次

に、蒸着技術、リソグラフィ技術およびエッチング技術等を用いてゲート電極11が形成される(同図(b)参照)。このゲート電極11はドレイン領域9から遠ざけられた位置に形成される。

【0019】最後に、同様な蒸着技術やリソグラフィ技術等が用いられ、ドレイン領域9およびソース領域10にオーミック接触したドレイン電極12およびソース電極13が形成される。この電極形成により、ショットキ接触型FET(MESFET)が完成される(同図(c)参照)。

【0020】本実施例におけるゲート電極11下の不純物プロファイルは図2のグラフに示す構成になっている。同グラフの横軸は基板表面からの深さ $d$  [ $\mu\text{m}$ ]を示し、縦軸は $n$ 型Si不純物の濃度 $N_D$  [ $\text{cm}^{-3}$ ]を示す。この不純物プロファイルにおいては局部的にパルス状に不純物濃度が高くなっている。基板表面側のパルス状部分は高濃度に不純物を含む第3のチャンネル層7に相当するプロファイルであり、これに隣接するパルス状部分は同じく高濃度に不純物を含む第2のチャンネル層5、さらに基板深部のパルス状部分は第1のチャンネル層3に相当するプロファイルである。

【0021】このような本実施例によるFETにおいて、ドレイン電極12側の基板表面の界面準位に起因して表面空乏層が生じても、この表面空乏層の基板深部への伸びは、最も基板の表面側に位置する第3のチャンネル層7によって遮られる。また、この第3のチャンネル層7より深い基板位置には第2および第1の2つのチャンネル層5、3が設けられている。従って、第3のチャンネル層7を走行する電子が表面空乏層によって遮られても、第2および第1の各チャンネル層5、3に高濃度に存在する不純物によってチャンネル電子の量は十分に確保される。

【0022】すなわち、ドレイン・ソース間に低い電界が印加されている時には、複数の各チャンネル層5、3に生じた多量の電子の一部は、電子輸送特性の優れたアンドープの第2および第1の各スペーサ層6、4並びにバッファ層2に存在する確率が高い。このため、不純物散乱の影響を受けることなく多くの電子がドレイン・ソース間を高速に走行する。また、ドレイン・ソース間に高い電界が印加されると、チャンネルを形成するさらに多くの電子はエネルギーを得、複数の各チャンネル層5、3を挟んでいる電子輸送特性の優れたアンドープの各スペーサ層6、4並びにバッファ層2へ飛び出す。このため、やはり、不純物散乱の影響を受けることなく多量の電子がドレイン・ソース間を走行する。この結果、チャンネル層が2層しか形成されていない従来のFETと比較し、電子輸送特性の優れた各スペーサ層6、4並びにバッファ層2にキャリアが存在する割合は増大し、出力電流は表面空乏層の影響を受けることなく十分に高く維持される。従って、従来のように出力が低下するといった問題は生じない。

【0023】次に、不純物を高濃度に含んで薄層化された半導体層が3層設けられてチャンネル層が形成された本実施例によるパルスドープ構造FETと、チャンネル層に半導体層が1層しか形成されていない従来のパルスドープ構造FETとの特性を比較すると、以下のようになる。

【0024】ここで、従来のパルスドープ構造FETは図3に示される断面構造を有している。つまり、半絶縁性GaAs半導体基板21上にバックグラウンド導電性が $p^-$ 型のアンドープGaAsバッファ層22が形成されており、このバッファ層22上にSi不純物を高濃度に含むチャンネル層23が形成されている。このチャンネル層23のSi不純物濃度は $3 \times 10^{18} [\text{cm}^{-3}]$ であり、その厚さは230Åである。さらに、このチャンネル層23上にバックグラウンド導電性が $n^-$ 型のアンドープGaAsからなるキャップ層24が400Åの厚さに形成されている。また、チャンネル層23を挟んで $n^+$ 型のドレイン領域25およびソース領域26が形成されており、キャップ層24にショットキ接触してゲート電極27が、ドレイン、ソース領域25、26にオーミック接触してドレイン、ソース電極28、29が形成されている。

【0025】図4に示すグラフは上記本実施例によるゲート長0.7 $\mu\text{m}$ 、ゲート幅20 $\mu\text{m}$ のFETの特性を示し、図5に示すグラフは図3に示される従来のゲート長0.7 $\mu\text{m}$ 、ゲート幅20 $\mu\text{m}$ のFETの特性を示している。各グラフの横軸はゲート電圧 $V_G$  [V]を示しており、0.5000 [V]/div.で目盛りされている。また、各グラフの縦軸はドレイン電流 $I_D$  [mA]および相互コンダクタンス $g_m$  [mS]を示している。各グラフの左に示される縦軸は特性線Aに対応するドレイン電流 $I_D$ を示しており、1.000 [mA]/div.で目盛りされている。また、各グラフの右に示される縦軸は特性線Bに対応する相互コンダクタンス $g_m$ を示しており、25.00 [mS]/div.で目盛りされている。

【0026】各グラフにおける特性線Aはゲート電圧 $V_G$ の変化に対するドレイン電流 $I_D$ の変化を示しており、特性線Bはゲート電圧 $V_G$ の変化に対する相互コンダクタンス $g_m$ の変化を示している。これら各グラフの特性線Aから、ゲート電圧 $V_G$ が0 [V]の時のドレイン電流 $I_D$ は、図4に示す本実施例によるFETでは約7.7 [mA]あるのに対し、図5に示す従来FETでは約6.7 [mA]しかないことが理解される。すなわち、本実施例によるFETにおいては高い電流出力が得られており、高出力のFETが提供されている。

【0027】また、各グラフの特性線Bから、ゲート電圧 $V_G$ が0 [V]の時の相互コンダクタンス $g_m$ は、図4に示す本実施例によるFETでは約161 [mS]あるのに対し、図5に示す従来FETでは約137

【mS】しかないことが理解される。すなわち、本実施例によるFETにおいては高い $g_m$ が得られている。しかも、本実施例によるFETにおいては、 $g_m$ 値はゲート電圧 $V_g$ 変化に対してより広い範囲にわたって一定に保たれている。従って、本実施例によるFETにおいては $V_g - g_m$ 特性が向上しており、高周波特性の良好なFETが提供される。

【0028】なお、上記実施例の説明においては、第1および第3のチャネル層3、7を80Å、第2のチャネル層5を70Åの厚さに形成したが、これら各チャネル層は50~150Å程度の範囲内の厚さに形成されてい

ればよい。また、第1および第2のスペーサ層4、6を50Åの厚さに形成したが、この厚さは、電子の波動関数の拡がり程度の厚さ、つまり、50~200Å程度の範囲内の厚さに形成されればよい。また、キャップ層8を400Åの厚さに形成したが、300~500Å程度の範囲内の厚さに形成されればよい。各半導体層をこれらの厚さに形成した場合においても上記実施例と同様な効果が奏される。

【0029】また、上記実施例の説明においては、第1、第2および第3のチャネル層3、5および7の各不純物濃度を $3 \times 10^{18} [\text{cm}^{-3}]$ としたが、 $1 \times 10^{18} \sim 5 \times 10^{18} [\text{cm}^{-3}]$ の範囲の不純物濃度で各チャネル層を形成してもよく、この場合においても上記実施例と同様な効果が奏される。

【0030】また、上記実施例の説明においてはチャネル層を構成する半導体層を3層形成した場合について説明したが、層数はこれに限定されるものでなく、3層以上形成されていればよく、この場合においても上記実施例と同様な効果が奏される。

【0031】また、上記実施例の説明においては各チャネル層3、5、7を等間隔に形成したが、最も基板表面に近い第3のチャネル層7の基板表面からの形成位置のみを変えることにより、表面空乏層の基板深部への影響を除去するようにしてもよい。この場合においても上記実施例と同様な効果が奏される。

【0032】図6は本発明の第2の実施例によるFETの構造を示す断面図である。

【0033】半絶縁性GaAs半導体基板31上には、バックグラウンド導電性が $p^-$ 型に設定されたアンドープのGaAsバッファ層32が結晶成長されている。このバッファ層32上には第1の半導体層としての第1のチャネル層33、第1のスペーサ層34、第2の半導体層としての第2のチャネル層34および第2のスペーサ層36が結晶成長されている。第1のチャネル層33および第2のチャネル層35は $n$ 型不純物であるSiイオンが高濃度にドーブされたGaAsによって形成されており、その不純物濃度は $4 \times 10^{18} [\text{cm}^{-3}]$ に高濃度に設定されている。なお、このチャネル層33、35の不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{18} [\text{cm}^{-3}]$ の範囲に設

定される。また、第1および第2の各チャネル層33、35の厚さは80Åに薄層化されている。第1および第2の各スペーサ層34、36はバックグラウンド導電性が $n^-$ 型のアンドープのGaAsからなり、その不純物濃度は $1 \times 10^{15} [\text{cm}^{-3}]$ 以下に設定されている。また、第1のスペーサ層34の厚さは50Å、第2のスペーサ層36の厚さは150Åに設定されている。

【0034】第2のスペーサ36上には $n$ 型のSiイオンを不純物に含むドーピング層37が形成されている。このドーピング層37の不純物濃度および厚さは、表面空乏層が第1および第2の各チャネル層33、35にまで広がらない所定の不純物濃度および所定の厚さ、例えば、不純物濃度が $4 \times 10^{18} [\text{cm}^{-3}]$ で厚さが50Åに形成されている。ドーピング層37のこの不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{18} [\text{cm}^{-3}]$ の範囲に設定され、この厚さは数10~100Å程度の厚さに形成される。さらに、このドーピング層37上にはキャップ層38が形成されており、このキャップ層38はバックグラウンド導電性が $n^-$ 型のアンドープのGaAsからなり、その不純物濃度は $1 \times 10^{15} [\text{cm}^{-3}]$ 以下に設定されている。

【0035】また、Siイオンが高濃度にドーブされた $n^-$ 型のドレイン領域39およびソース領域40が各チャネル層33、35およびドーピング層37に重ねて形成されている。ゲート電極41はキャップ層38にオーミック接触して形成されており、ドレイン電極42およびソース電極43はドレイン領域39およびソース領域40にオーミック接触して形成されている。

【0036】このような第2の実施例によるFETにおいて、ドレイン電極42側の基板表面の界面準位に起因して表面空乏層が生じ、この表面空乏層が基板深部に延びようとしても、この延びはドーピング層37が上述のように所定の不純物濃度および厚さに形成されているために遮られる。また、このドーピング層37より深い基板位置には第2および第1の2つのチャネル層35、33が設けられている。従って、電流チャネルを形成する電子量は、第2および第1の各チャネル層35、33に存在する不純物によって十分に確保され、各チャネル層35、33を挟む電子輸送特性の優れた第2および第1の各スペーサ層36、34にキャリアが存在する確率は高くなっている。このため、本実施例によっても出力電流は表面空乏層の影響を受けることなく十分に高く維持される。また、ドーピング層37が表面空乏層によって空乏化することにより、ゲート・ドレイン間の絶縁性は低下せず、ドレイン耐圧は向上する。

【0037】なお、上記各実施例の説明においては、半導体基板1および31をGaAsによって形成したが、これに限定されるものではなく、例えば、InPやInGaAs等の半導体基板でも良い。また、 $n$ 型不純物としてSiを用いたが、SeやS等であっても良い。この

ような材料を用いてFETを形成しても、上記各実施例と同様な効果が奏される。

【0038】また、上記実施例の説明においてはチャネル層を構成する半導体層を2層形成した場合について説明したが、層数はこれに限定されるものでなく、3層以上形成されていてもよく、この場合においても上記実施例と同様な効果が奏される。

【0039】図7は本発明の第3の実施例によるFETの構造を示す断面図であり、このFETは図8に示す工程断面図に従って製造される。以下にこの製造方法について説明する。

【0040】半絶縁性GaAs半導体基板51上に、MBE（分子線エピタキシ）法やOMVPE（有機金属気相エピタキシャル）法などの結晶成長技術を用いて以下に述べる各半導体層が順次堆積させられる。まず、GaAs半導体基板51上にGaAsバッファ層52が結晶成長される（図8（a）参照）。このバッファ層52には $1 \times 10^{16} [\text{cm}^{-3}]$ 程度にp型の不純物が含まれるが、高くても $1 \times 10^{17} [\text{cm}^{-3}]$ 以下の低い不純物濃度に抑えられる。

【0041】次に、バッファ層52上にSiドーブGaAs層が結晶成長され、第1の半導体層としての第1のチャネル層53が形成される。この第1のチャネル層53はn型不純物であるSiイオンを $3 \sim 5 \times 10^{18} [\text{cm}^{-3}]$ 程度または $1 \sim 5 \times 10^{18} [\text{cm}^{-3}]$ 程度に高濃度を含み、厚さは $50 \sim 100 \text{ \AA}$ に薄層化される。引き続いて、この第1のチャネル層53上にアンドープの中間濃度層54が $100 \sim 500 \text{ \AA}$ 程度の厚さに結晶成長される（同図（b）参照）。この中間濃度層54はアンドープに形成されるため、不純物濃度はまだ極めて低くなっている。

【0042】次に、この中間濃度層54上にSiドーブGaAs層が結晶成長され、第2の半導体層としての第2のチャネル層55が形成される。この第2のチャネル層55はSi不純物を第1のチャネル層53と同程度に高濃度を含み、また、その厚さも第1のチャネル層53と同程度に薄層化される。続いて、この第2のチャネル層55上にアンドープGaAs層が結晶成長され、キャップ層56が形成される。このキャップ層56の不純物濃度はバッファ層52と同程度に極めて低く設定される（同図（c）参照）。

【0043】次に、リソグラフィ技術を用いてソース・ドレイン領域パターンが基板表面に形成され、このパターンをマスクとして高濃度のSiイオンが選択的にイオン注入される。この選択イオン注入により、n<sup>+</sup>型のドレイン領域58およびソース領域59が形成される。次に、このような積層構造を持つエピタキシャルウエハに $800 \sim 900^\circ\text{C}$ で1～10秒間のアニール処理が行われる。その後、蒸着技術、リソグラフィ技術およびエッチング技術等を用いてゲート電極57が形成される（同

図（d）参照）。このゲート電極57はドレイン領域58から遠ざけられた位置に形成される。

【0044】最後に、同様な蒸着技術やリソグラフィ技術等が用いられ、ドレイン領域58およびソース領域59にオーミック接触したドレイン電極60、ソース電極61が形成される。この電極形成により、図7に示される構造のショットキ接触型FET（MESFET）が完成されることになる。

【0045】本実施例においては、各層52～56を結晶成長した後に上述したアニール処理が行われるため、電流チャネルが形成されるゲート電極57下部の不純物プロファイルは図9のグラフに示す構成になっている。同グラフの横軸は基板表面からの深さd [オングストローム]を示し、縦軸はn型Si不純物の濃度 $N_D [\text{cm}^{-3}]$ を示す。また、実線で示される不純物プロファイルAはアニール処理後のプロファイルを示し、点線で示される不純物プロファイルBはアニール処理前のプロファイルを示している。アニール前のプロファイルBにおいてはパルス状に不純物濃度が高くなっており、基板表面側のパルス状部分は高濃度に不純物を含む第2のチャネル層55に相当し、基板の深い側のパルス状部分は同じく高濃度に不純物を含む第1のチャネル層53に相当している。このような不純物プロファイルを持つ積層構造にアニール処理が行われることにより、各チャネル層53、55に高濃度に含まれたSiイオンは、各チャネル層53、55を挟むバッファ層52、中間濃度層54およびキャップ層56に拡散する。このため、ゲート電極下の不純物プロファイル形状は、段階的なパルス状から少しだれた山状になり、図示する不純物プロファイルAになる。

【0046】すなわち、各チャネル層53、55に挟まれて形成されたアンドープ状態であった中間濃度層54は、約 $1 \times 10^{17} [\text{cm}^{-3}]$ 程度の濃度の不純物を含むようになる。この中間濃度層54の不純物濃度は、第1のチャネル層53および第2のチャネル層55の不純物濃度 $3 \sim 5 \times 10^{18} [\text{cm}^{-3}]$ または $1 \sim 5 \times 10^{18} [\text{cm}^{-3}]$ よりも低く設定される。また、各チャネル層53、55を最も外側で挟むバッファ層52およびキャップ層56にも各チャネル層53、55に含まれていた不純物が拡散し、この両最外層のチャネル層接触部分にも各チャネル層53、55の不純物濃度よりも低い濃度の不純物が含まれるようになる。

【0047】従って、このような構造をした本実施例によるMESFETにおいては、各チャネル層53、55を挟むバッファ層52、中間濃度層54およびキャップ層56に低濃度に不純物が含まれるため、これら各層52、54、56に存在するSi不純物によってもチャネル電子が生成される。従って、電流チャネルを形成する電子は、低電界領域、つまり、ドレイン側に比べて低い電界が形成されるソース側において、各チャネル層5



3, 55を挟む各層52, 54および56に分布する。このため、チャネル電子は各チャネル層53, 55よりも不純物濃度の低いこれら各層52, 54および56をも走行するようになり、不純物散乱を受ける影響は低減する。この結果、ソース側の低電界領域における電子移動度は向上する。

【0048】また、高電界が形成されるドレイン側においては、各チャネル層53, 55を走行する電子はこの高電界からエネルギーを得てより高いエネルギー準位に存在するようになる。従って、チャネル電子は高濃度に不純物を含む各チャネル層53, 55から飛び出し、各チャネル層53, 55を挟む不純物濃度の低いバッファ層52, 中間濃度層54およびキャップ層56を走行するようになる。このため、ドレイン側の高電界領域においても、チャネル電子が不純物散乱から受ける影響は少なく、電子飽和速度は低下しない。

【0049】従って、本実施例によるFETによれば、ソース側からドレイン側のチャネル全体にわたって電子移動度は高くなる。また、電子飽和速度も劣化しない。このため、素子の高周波特性は向上する。また、FETの相互コンダクタンス $g_m$ は一定のゲート電圧変化にわたって一定値に保持されるようになり、相互コンダクタンス $g_m$ のゲート電圧変化に対する変化は平坦な特性を示すようになる。

【0050】また、上記第3の実施例の説明においては、アニール処理により、各チャネル層53, 55にある不純物をアンドープ状態の半導体層に拡散させ、中間濃度層54を形成したが、次のように中間濃度層54を形成してもよい。つまり、半導体基板51上に堆積させる各半導体層を結晶成長する際に、原料に含ませる不純物濃度を制御することによっても適度に不純物を含む中間濃度層を形成することが可能である。また、バッファ層およびキャップ層に相当する層に、上記実施例と同様に適度に不純物を含ませて形成することも可能である。このような製造方法および構造によっても上記実施例と同様な効果が奏され、チャネル電子の移動度は高くなり、また、電子飽和速度も高く維持される。

【0051】なお、上記第3の実施例の説明においては、半導体基板51をGaAsによって形成したが、これに限定されるものではなく、例えば、InPやInGaAs等の半導体基板でも良い。また、n型不純物としてSiを用いたが、SeやS等であっても良い。このような材料を用いてFETを形成しても、上記実施例と同様な効果が奏される。

【0052】また、上記各実施例の説明においては、ゲート電極11, 41, 57がドレイン電極12, 42, 60から遠ざけられて形成され、ゲート・ドレイン間の耐圧特性が向上されたFETについて説明したが、これに限定されるものではない。すなわち、ゲート電極がドレイン・ソース間の中央に形成された構造のFETや、

ゲート電極がリセスに形成された構造のFET等により上記各実施例を適用してもよく、上記各実施例と同様な効果が奏される。

#### 【0053】

【発明の効果】以上説明したように本発明によれば、表面空乏層の基板表面から深部へ向けての伸びは、最も基板表面側に位置する半導体層によって遮られる。またはチャネル層の上部に設けられたドーピング層によって遮られる。また、最も基板表面側に位置する半導体層またはドーピング層よりも深い半導体基板には複数の半導体層が設けられている。このため、電流チャネルを形成する電子量は、チャネル層を構成するこれら複数の半導体層によって十分に確保される。従って、出力電流は表面空乏層の影響を受けることなく十分に高く維持され、高出力で高速動作をするFETが提供される。

【0054】また、複数の半導体層間の中間濃度層には低濃度に不純物が含まれているため、中間濃度層に存在する不純物によってもチャネル電子が生成される。従って、電流チャネルを形成する電子は、低電界領域においても半導体層間の中間濃度層に分布し、チャネル形成する半導体層よりも不純物濃度の低い中間濃度層を走行するようになる。このため、低電界領域におけるチャネル電子の移動度は高くなり、また、電子飽和速度も高く維持され、素子の高周波特性は向上する。また、相互コンダクタンス $g_m$ も一定のゲート電圧変化にわたって一定値が保持されるようになる。

【0055】また、熱処理が加えられて中間濃度層が形成される場合には、複数の各半導体層を最も外側で挟む各層にも不純物が低濃度に含まれ、チャネル電子はこの両最外層にも分布するようになる。従って、チャネル電子は中間濃度層以外にも不純物濃度の低いこの両最外層を走行するようになる。このため、低電界領域におけるチャネル電子の移動度はさらに高まり、素子の高周波特性はさらに向上する。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例によるFETの製造工程を示す工程断面図である。

【図2】第1の実施例によるFETのゲート電極下の不純物プロファイルを示すグラフである。

【図3】第1の実施例によるFETの有効性を示すためにこれと比較される従来の単一チャネル構造のFETを示す断面図である。

【図4】図1に示された第1の実施例によるFETの特性を示すグラフである。

【図5】図3に示された従来のFETの特性を示すグラフである。

【図6】本発明の第2の実施例によるFETの構造を示す断面図である。

【図7】本発明の第3の実施例によるFETの構造を示す断面図である。

【図8】図7に示された第3の実施例によるFETの製造方法を示す工程断面図である。

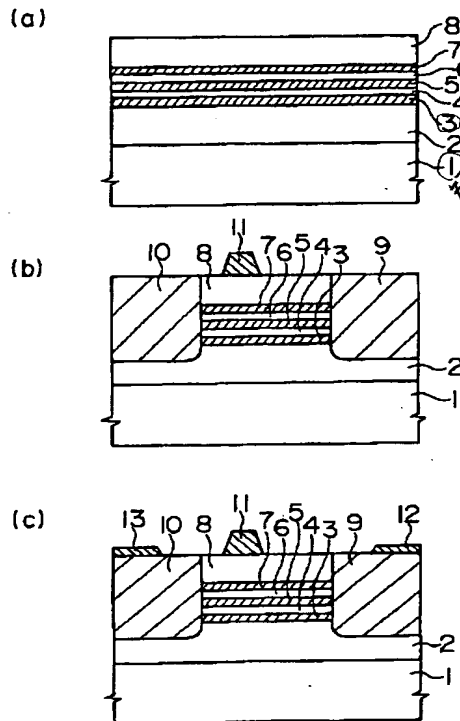
【図9】第3の実施例によるFETのゲート電極下の不純物プロファイルを示すグラフである。

【符号の説明】

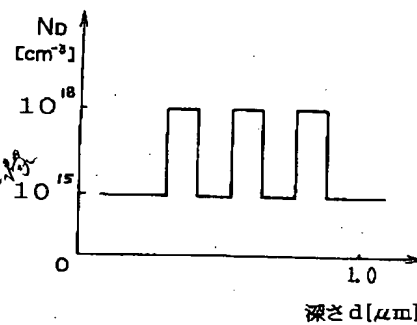
1, 31, 51…半絶縁性GaAs半導体基板、2, 32, 52…バッファ層、3, 33, 53…第1のチャネル層（半導体層）、4, 34…第1のスペーサ層、5,

35, 55…第2のチャネル層（半導体層）、6, 36…第2のスペーサ層、7…第3のチャネル層（半導体層）、8, 38, 56…キャップ層、9, 39, 58…ドレイン領域、10, 40, 59…ソース領域、11, 41, 57…ゲート電極、12, 42, 60…ドレイン電極、13, 43, 61…ソース電極、54…中間濃度層。

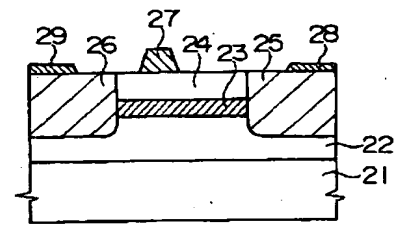
【図1】



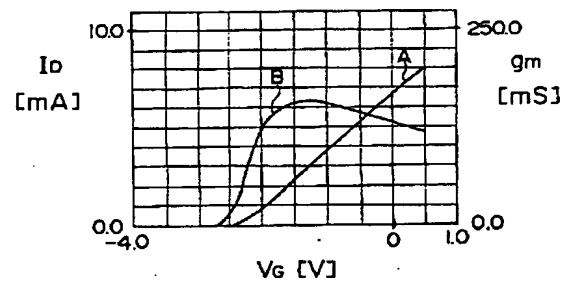
【図2】



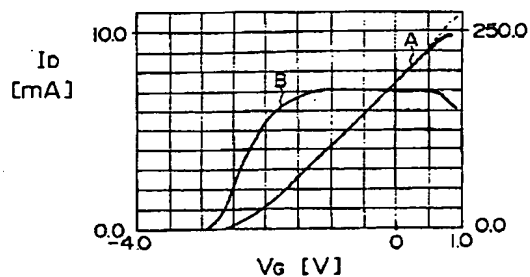
【図3】



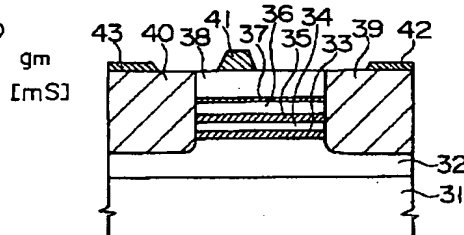
【図5】



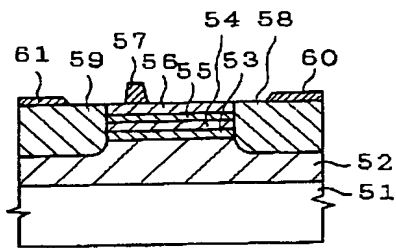
【図4】



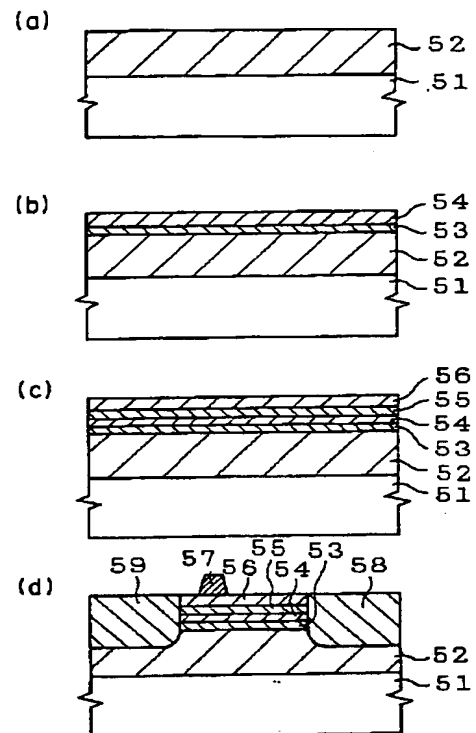
【図6】



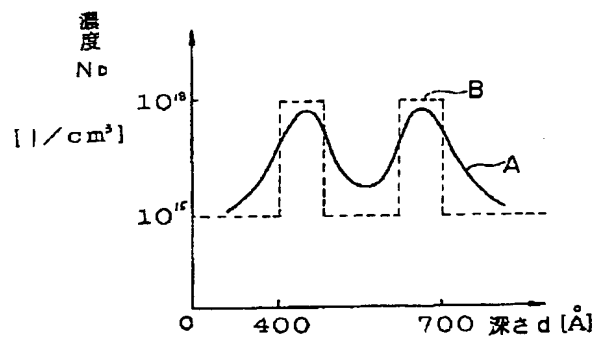
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 中島 成  
神奈川県横浜市栄区田谷町1番地 住友電  
気工業株式会社横浜製作所内

(72)発明者 桑田 展周  
神奈川県横浜市栄区田谷町1番地 住友電  
気工業株式会社横浜製作所内

(72)発明者 乙部 健二  
神奈川県横浜市栄区田谷町1番地 住友電  
気工業株式会社横浜製作所内